

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-138486  
(43)Date of publication of application : 20.05.1994

(51)Int.CI.

G02F 1/136  
G02F 1/133

(21)Application number : 04-290099  
(22)Date of filing : 28.10.1992

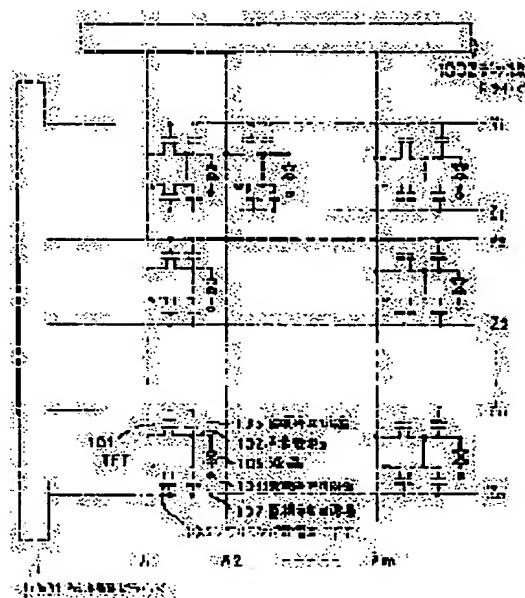
(71)Applicant : TOSHIBA CORP  
(72)Inventor : FUKUI ISAO

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

### (57)Abstract:

**PURPOSE:** To eliminate a level shift in pixel potential and eliminate a defect in holding characteristics by superposing a pixel electrode on a gate electrode and an auxiliary electric conductor and forming capacitive coupling.

**CONSTITUTION:** The gate electrodes of TFTs 101 are connected to gate lines Y<sub>j</sub>, row by row, the drain electrodes are connected to data lines X<sub>i</sub>, column by column, and the source electrodes are connected to pixel electrodes 102. Then liquid crystal 104 is sandwiched between the pixel electrodes 102 and a transparent counter electrode 103. The gate electrodes of TFTs 105 for level shift compensation, on the other hand, are connected to TFT gate lines Z<sub>j</sub> for compensation, row by row, and the source electrodes are connected to the pixel electrodes 102. At the same time, storage auxiliary capacitors 106 and 107 are formed between the pixel electrodes 102 and the gate lines Y<sub>j</sub> and TFT gate lines Z<sub>j</sub> for compensation. The gate lines Y<sub>j</sub> and TFT gate lines Z<sub>j</sub> for compensation are connected to a common gate line driver 1001 and the data lines X<sub>i</sub> are connected to a data line driver 1002.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-138486

(13) 公開日 平成6年(1994)5月20日

(51) Int.Cl.

G02F 1/120  
1/128

類別番号

500 9018-2K  
550 9228-2K

P.I.

技術表示箇所

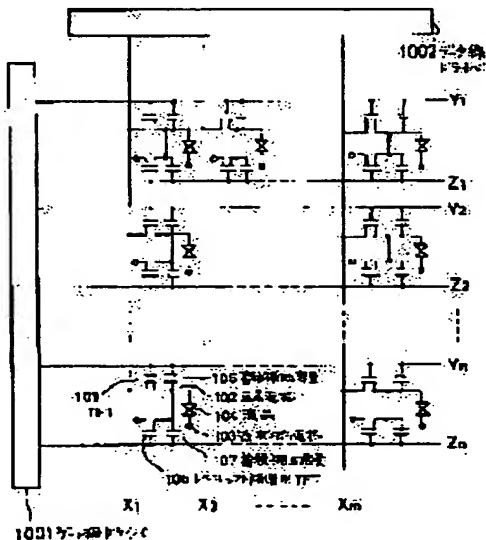
(21) 出願番号		(22) 出願日		(23) 出願人		(24) 発明者		(25) 代理人	
(21) 出願番号		(22) 出願日		(23) 出願人		(24) 発明者		(25) 代理人	
特開平4-230099		平成4年(1992)10月28日		株式会社東芝 神奈川県川崎市幸区坂川町72番地		福井 功 兵庫県姫路市今治区上今治50番地 株式会社 東芝姫路工場内		弁理士・則近 雄佑	

(54) 【発明の名前】 液晶表示装置及びその駆動方法

(57) 【要約】

【構成】 各画素に薄膜トランジスタ (TFT) からなるスイッチング素子を設けてなる液晶表示装置において、各画素にはレベルシフト機能用TFTを設けると共に、スイッチング用TFTとレベルシフト機能用TFTのゲート電極に接続されるそれぞれのゲート線を、画素電極に重疊させる。

【効果】 寄生容量に起因する画素電位のレベルシフトを解消すると共に、走査線の時定数を低減させて波形のなりを防ぎ、良好な表示特性を得ることができる。



【特許請求の範囲】

【請求項 1】複数本のゲート線と該ゲート線に直交する複数本のデータ線との各交点部分に対応して設けられた画素電極と、前記画素電極を挟んで前記ゲート線に平行に設けられた補助配線と、前記画素電極に対向して設けられた対向電極との間に挟持された液晶からなる画素領域を具備し、

前記各画素領域に付し、前記ゲート線に接続されたゲート電極と前記データ線に接続されたドレイン電極と前記画素電極に接続されたソース電極を有する第1の薄膜トランジスタ、及び前記補助配線に接続されたゲート電極と前記画素電極に接続されたソース電極を有する第2の薄膜トランジスタが配設され、

かつ前記画素電極は、前記ゲート電極及び補助配線と重疊されて容量結合を形成して成ることを特徴とする液晶表示装置。

【請求項 2】前記画素電極を挟んで対向する一組の前記ゲート線と前記補助配線には、所定周期毎に互いに逆位相の電圧が印加されることを特徴とする請求項1記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、液晶表示装置及びその駆動方法に係り、特に薄膜トランジスタ（以下、TFTと称する）をスイッチ素子として用いたアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】液晶を用いた表示装置は、テレビジョン表示やグラフィックディスプレイを指向して、大容量、高精細のアクティブマトリクス型液晶表示装置の開発、実用化が盛んである。

【0003】以下に、各画素の駆動・制御素子としてTFTを用いたアクティブマトリクス型液晶表示装置を例にとって、従来の技術を説明する。図6は、液晶表示装置の等価回路図を示す。即ち、 $X_i$  ;  $i = 1, 2, 3, \dots, m$  はデータ線； $Y_j$  ;  $j = 1, 2, 3, \dots, n$  はこれに直交するゲート線であり、これらデータ線 $X_i$ とゲート線 $Y_j$ の各交点に TFT が配設されている。TFT 501 のドレイン電極は列毎にデータ線 $X_i$ に接続され、ゲート電極は行毎にゲート線 $Y_j$ に接続される。画素電極 502 は、各々 TFT 501 のソース電極

$$\Delta V_{PIXEL} = CGS / (CGS + CLC) \times V_{GATE} \dots (1)$$

ここに、 $CGS$  は補償用 TFT 502 のゲート・ソース間寄生容量を示す。したがって画素電極 503 のレベル

$$\Delta V = \Delta V_{PIXEL} + \Delta V_{PIXEL'} = CGS / (CGS + CLC) \times V_{compensate} - CGS' / (CGS' + CLC) \times V_{compensate} \dots (2)$$

(3)

（ただし、 $V_{compensate} = -V_{GATE}$ ）。

したがって、補償用 TFT 502 の  $CGS'$  を駆動用 TFT 501 の  $CGS$  と同じになるように設計すれば、画素電

に接続され、対向電極 503 との間に液晶 504 を挟持して、液晶容量を構成している。

【0004】この液晶表示装置の動作は以下の通りである。ゲート線 $Y_j$ はアドレス信号により順次走査駆動されて、TFT 501 は行毎に順次導通状態にされる。一方、このゲート線 $Y_j$ の走査と同期して、データ線 $X_i$ には例えば並列の交流画素電信号が供給される。これにより信号電圧は行毎に順次画素電極 502 に導かれ、次にゲート線に順次訊信号が印加されると、TFT 501 は非導通状態となって、画素電極 502 は次に走査されるまでの期間（保持期間）、書き込まれた信号電圧を保持する。そして、この画素電極 502 と対向電極 503 との間に挟持された液晶 504 が励起され、表示が行われる。

【0005】

【発明が解決しようとする課題】上述の液晶表示装置では、以下のような問題があった。即ち、ゲート線 $Y_j$ に印加されるアドレス信号電圧の立ち下がり時に、次式（1.1）に示す画素電位のレベルシフト $\Delta V_{PIXEL}$ を生じる。

$$\Delta V_{PIXEL} = CGS / (CGS + CLC) \times V_{GATE} \dots (1.1)$$

ここに  $CGS$ 、 $CLC$ 、 $V_{GATE}$  はそれぞれ、TFT 501 のゲート・ソース間寄生容量、液晶容量、アドレス信号電圧である。このように画素電位にレベルシフトが生じると、液晶に非対称な交流、即ち、直流成分オフセットのある交流が印加されて、液晶の劣化やフリッカ等の表示品位の著しい低下を招いてしまう。したがって、レベルシフト $\Delta V_{PIXEL}$ を補正する必要があるが、 $CLC$  は映像信号に応じて変化するため、 $\Delta V_{PIXEL}$  は各画素毎に異なった値となり、これを補正することは非常に困難であった。

【0006】そこで、図7に示すように、レベルシフト補償用 TFT 502 を各画素毎に設けて、画素電位レベルシフトを補償する技術が提案されている。ここに、 $X_i$  ;  $i = 1, 2, 3, \dots, m$  はゲート線 $Y_j$ に対応して設けられた補償用 TFT 走査線である。この補償用 TFT 走査線 $Y_j$ に、ゲート線 $Y_j$ に印加されるアドレス信号と正負か逆の信号 $V_{compensate}$ が入力されると、レベルシフト補償用 TFT 502 は次式（2）に示すレベルシフト電圧を発生する。

$$\Delta V = \Delta V_{PIXEL} + \Delta V_{PIXEL'} = CGS / (CGS + CLC) \times V_{GATE}$$

シフト量 $\Delta V$ は式（1.1）、（2）に示す個々のレベルシフト量の総和となり、次式（3）で表される。

$$\Delta V = \Delta V_{PIXEL} + \Delta V_{PIXEL'} = CGS / (CGS + CLC) \times V_{compensate} - CGS' / (CGS' + CLC) \times V_{compensate} \dots (3)$$

位のレベルシフト量を 0 にすることができる。しかしながら、このような構成を用いると、 $X_i$ 、 $Y_j$ 、 $Z_j$  の配線が必要となり、これに加えて CS 線を設けることは

画素の有効面積を考えると、非常に困難となり、駆動用 TFT 601 のスイッチング特性が、外光、温度などの環境変化により変動してしまうと、保持期間中に不必要な映像信号が画素電極に流れ込んで保持不良が生じ、クロストークやフリッカーなどの画質不良を誘発してしまう。

【0007】そこで、この発明では、画素電位のレベルシフトを削除し、かつ保持特性不良を生じることのないアクティブマトリクス型液晶表示装置を提供することを目的とする。

【0008】

【課題を解決するための手段】この発明は、上述の課題を解決するために、複数本のゲート線とゲート線に直交する複数本のデータ線との各交点部分に対応して設けられた画素電極と、画素電極を挟んでゲート線に平行に設けられた補助配線と、画素電極に對向して設けられた対向電極との間に接続された液晶からなる画素構造を具備し、

【0009】各画素領域には、ゲート線に接続されたゲート電極とデータ線に接続されたドレイン電極と前記画素電極に接続されたソース電極を有する第1の薄膜トランジスタ、

$$\Delta V' = (CGS + CLC) / (CGS + CLC) \times V_{GATE} - CGS' / (CGS' + CLC) \times V_{compensate} \quad (4)$$

ここに、 $CGS$  はゲート線と画素電極間に形成される補助蓄積容量である。即ち、駆動用 TFT によって発生されるレベルシフト量には、(2) 式と比較すると、新たに  $CGS / (CGS + CLC) \times V_{GATE}$  の増分が発生する。通常、 $CGS$  は  $CGS'$  に比べて 1 衍程度大きい値を持っており、また  $V_{GATE}$  は概ね 20V 程度の値をとるため、 $V_{compensate}$  を適当に調節するだけでは、レベルシフトの補償は困難となり、フリッカやクロストークなどの画質不良の発生に留まらず、表示が不可能となってしまうという欠点がある。

【0013】本発明の液晶表示装置においては、ゲート線、補償用 TFT の走査線両方を画素電極に重複させて容量を形成し、補償用 TFT の走査線には、ゲート線に与える電圧と逆位相の電圧を与えるために、補助蓄積容量に起因する上述の問題をも解決し、レベルシフトを削除することができる。

【0014】

【実施例】以下に、この発明の実施例を、図面を参照して説明する。

【0015】図 1 は、この発明の一実施例の液晶表示装置の等価回路図を示す。同図において  $X_i$  ;  $i = 1, 2, 3, \dots, n$  は複数本のデータ線、 $Y_j$  ;  $j = 1, 2, 3, \dots, m$  はデータ線に直交する複数本のゲート線であり、これらデータ線  $X_i$  とゲート線  $Y_j$  の各交点位置に TFT 101 が配置されている。TFT 101 のゲート電極は行毎にゲート線  $Y_j$  に、ドレイン電極は列毎にデータ線  $X_i$  に接続されている。またソース電極は画

素の有効面積を考慮すると、非常に困難となり、駆動用 TFT 601 のスイッチング特性が、外光、温度などの環境変化により変動してしまうと、保持期間中に不必要な映像信号が画素電極に流れ込んで保持不良が生じ、クロストークやフリッカーなどの画質不良を誘発してしまう。

【0010】さらに本発明は、画素電極を挟んで対向する一組のゲート線と補助配線には、所定期間に亘り逆位相の電圧が印加される液晶表示装置の駆動方法を用いる。

【0011】

【作用】本発明の液晶表示装置においては、各画素毎に画素電位レベルシフト補償用 TFT を設けるために、レベルシフトを削除することができ、さらにゲート線、補償用 TFT の走査線のそれぞれに重複された補助蓄積容量を設けるために、保持特性を向上させることができる。

【0012】このとき、画素電極をゲート線だけに重複させて補助蓄積容量を形成する方法も考えられるが、以下の点から好ましくない。即ち、このときの画素電位のレベルシフト量  $\Delta V'$  は、次式 (4) で表される。

【0013】このとき、画素電極をゲート線だけに重複させて補助蓄積容量を形成する方法も考えられるが、以下の点から好ましくない。即ち、このときの画素電位のレベルシフト量  $\Delta V'$  は、次式 (4) で表される。

素電極 102 に接続されている。そしてこの画素電極 102 と透明対向電極 103 との間に液晶 104 が挟持されている。一方、レベルシフト補償用 TFT 105 のゲート電極は行毎に補償用 TFT のゲート線  $Y_j$  ;  $j = 1, 2, 3, \dots, m$  に接続され、ソース電極は画素電極 102 に接続されている。同時に、画素電極 102 とゲート線  $Y_j$  及び補償用 TFT のゲート線  $Y_j$  との間に、蓄積補助容量 106 及び 107 が形成されている。また、ゲート線  $Y_j$  及び補償用 TFT のゲート線  $Y_j$  は、共通のゲート線ドライバ 1001 に接続され、データ線  $Z_i$  はデータ線ドライバ 1002 に接続されている。

【0016】図 2 は、本実施例の液晶表示装置の一画素の平面図を示し、図 3 は図 2 の線 A-A' に沿った断面図。図 4 は図 2 の線 B-B' に沿った断面図を示す。これらの図面を参照しつつ、以下に本実施例の液晶表示装置の構造ならびに駆動方法を説明する。

【0017】まず、绝缘性基板 201、例えばガラス基板上にモリブデンをスパッタリングによって厚さ 100 nm に堆積した後、ゲート線  $Y_j$  及びこれと一体のゲート電極 202 及びコンデンサ電極 204、レベルシフト補償用 TFT のゲート線  $Y_j$  及びこれと一体の補償用 TFT のゲート電極 203 及びコンデンサ電極 205 をパターン形成する。

【0018】次に、ゲート電極 202、補償用 TFT のゲート電極 203、コンデンサ電極 204、205 を覆うように、例えば二酸化シリコン膜をプラズマ CVD 法により厚さ 300 nm に堆積して、ゲート絶縁膜 206 が

形成される。次いでこの上に、例えばプラズマCVD法によってアモルファスシリコンを厚さ3.00nmに堆積し、所定の形状にパターニングして、半導体層2.07が形成される。

【00219】さらに、例えばITO(Indium Tin Oxide)をスパッタリング法により厚さ1.50nmに堆積した後、所定の形状にパターニングして、透明画素電極2.16がコンデンサ電極2.04、2.05に重なるように形成される。さらに、半導体層2.07に掛かるようにアルミニウムからなるドレイン電極2.08とソース電極2.09が形成される。ドレイン電極2.08はデータ線2.10と一緒に、またソース電極2.09は画素電極2.08に接続されるように形成される。同時に補償用TFTのソース電極2.11も画素電極2.08に接続されるように形成される。

【00220】次いで、全面にポリイミドからなる保護膜2.12を厚さ1.00μmに塗布し、さらにこの上面の全領域にポリイミドからなる液晶配向膜2.13が塗布され、第1の基板2.00を得る。

【00221】一方、第2の基板3.00は、絶縁性基板3.01、例えばガラス基板上に厚さ1.00nmのITOからなる透明対向電極3.02と液晶配向膜3.03を順次形成することで得られる。

【00222】第1の基板2.00、第2の基板3.00は5μmの間隔を保つように周辺部が封着され、さらにこの間隔内に液晶3.04が保持される。このようにしてアクティブマトリクス型液晶表示装置が構成される。次に、

$$\Delta V_{PIXEL}(Yj) = (CGS + CS) / (CGS + CS + CLC) \times V_{GATE} \dots (5)$$

)

補償用TFT 1.05で発生されるレベルシフトΔVPIXEL

$$\Delta V_{PIXEL}(Zj) = (CGS' + CS') / (CGS' + CS' + CLC) \times V_{compensate} \dots (6)$$

te

ここに、 $CS$ 、 $CS'$ はそれぞれ補助容量1.06、1.07に相当し、他は(1)式、(2)式と同様である。画素

$$\begin{aligned} \Delta V &= \Delta V_{PIXEL}(Yj) + \Delta V_{PIXEL}(Zj) \\ &= (CGS + CS) / (CGS + CS + CLC) \times V_{GATE} \\ &\quad + (CGS' + CS') / (CGS' + CS' + CLC) \times V_{compensate} \end{aligned}$$

te

従って、 $CGS' = CGS$ 、 $CS' = CS$ 、 $V_{compensate} = -V_{GATE}$ と設定すれば、レベルシフト $\Delta V$ を解消することができる。

【00226】以上詳述したように、本実施例の液晶表示装置においては、各画素毎に、画素電極を挟んで駆動用TFTのゲート線と対向する位置にレベルシフト補償用TFTの走査線を配設し、駆動用TFTのゲート線にアドレス信号が与えられると同時に、レベルシフト補償用TFTにはアドレス信号と逆極性でかつ振幅の等しい信号が印加されるために、次の効果が得られる。

【00227】即ち、画素電位のレベルシフトを解消し、

本実施例の液晶表示装置の動作を説明する。

【00228】図5は、ゲート線ドライバ1.001の詳細を示す回路図である。シフトレジスタ1.002からは、ゲート線Yjと補償用TFTゲート線Zjの組毎に、順次共通のパルスが送られる。スイッチ1.004は、シフトレジスタから送られるパルスのタイミングで、入力端子1.005から入力されるH、L2種類の電圧の一方を選択して、各ゲート線に出力する。これらの電圧値は、例えばアドレス信号と非選択信号に相当する電圧に設定される。

【00229】このとき、補償用TFTゲート線Zjに接続されたスイッチ1.004には、インバータ1.003を介して、ゲート線Yjのスイッチに送られるパルスとは逆位相のパルスが印加される。このため、ゲート線Yjと補償用TFTゲート線Zjには、互いに逆位相の信号が出力される。

【00230】このようにして、ゲート線Yjがアドレス信号によって順次走査され、TFT 1.01が行毎に順次導通状態となる。一方、このゲート線Yjの走査と同期してデータ線Xjに例えばm並列の画像信号が供給される。これにより信号電圧は行毎に順次画素電極1.02に導かれ、透明対向電極1.03との間に保持された液晶1.04が励起されて画像表示がなされる。同時に、ゲート線Yjと同期してレベルシフト補償用走査線Zjがゲート線のアドレス信号と逆極性を持った走査信号で走査される。このとき、TFT 1.01で発生されるレベルシフトΔVPIXEL(Yj)は、次式(5)で表される。

$$\Delta V_{PIXEL}(Yj) = (CGS + CS) / (CGS + CS + CLC) \times V_{GATE} \dots (5)$$

L (Zj) は、次式(6)で表される。

$$\Delta V_{PIXEL}(Zj) = (CGS' + CS') / (CGS' + CS' + CLC) \times V_{compensate} \dots (6)$$

te

に生じるレベルシフトΔVは、(5)式と(6)式との和で表される。

また、保持期間中の画素電位を抑制することができる。このため、フリッカやクロストークなどの画質不良を抑制することができる。このとき、補助蓄積容量1.06にアドレス信号が入力されることによる画素電位の変動を、補助蓄積容量1.07にアドレス信号と逆極性でかつ振幅の等しい信号を入力することによって、相殺できる。このため従来の液晶表示装置と比べて、消費電力や駆動回路の負担を大幅に増大させることなく、レベルシフトを解消することができる。

【00228】また保持容量を、ゲート線及び補償用TFTの走査線と画素電極との重複部分で分割して設けるた

めに、ゲート線に沿った寄生結合を半減できる。そして、ゲート線に与えられる駆動信号自体は、従来の駆動信号と同じであり、あらたな周波数成分が発生することもない。このため、必要な保持能力を維持しつつ、ゲート線の時定数を大幅に低減し、ゲート線に印加される駆動信号波形のなまりを抑制することができる。したがって、ゲート線方向に沿った輝度傾斜を低減させて、極めて良好な画像品位を得ることができる。

【0029】さらに、ゲート電極、補償用 TFT の正弦線を画素電極に重畳させて補助電極寄生容量を形成するために、従来の液晶表示装置と比べて、製造工程を大幅に変更する必要がない。また、画素の有効面積を確保できるため、明るい表示画面を得ることができる。

【0030】上記の実施例においては、スイッチング用 TFT のゲート線 YJ と補償用 TFT のゲート線 ZJ に与えられる電圧の入力端子を共通としたが、このような構成に限られるものではなく、例えば個別に入力端子を設けても良い。要するに、補償用 TFT のゲート電極には、スイッチング用 TFT のゲート電極に与えられるアドレス信号と逆位相に変化する信号を与えることによって、上述の効果を達成できる。なお、本実施例の液晶表示装置においては、補償用 TFT のゲート電極には、保持期間中に、アドレス信号に相当する電圧が印加される。このため、画素電極とデータ線とを常に絶縁状態としておく必要があり、従って補償用 TFT には、スイッチング用 TFT のドレイン電極に相当する電極が設けられていない。また、本発明の効果は上述の構成に限られることなく、例えばいわゆるデルタ配列の構成を用いても、同様の効果が得られることはいうまでもない。

【0031】

【発明の効果】以上説明したように、本発明の液晶表示装置においては、画素電位のレベルシフトを解消し、かつ良好な保持特性を得ることができる。このとき、補助配線には、従来のアドレス信号と同じ振幅で逆性の電圧を加えれば足りるため、消費電力や回路の負担の大幅な増加を招くことがない。

【0032】さらに、保持能力をスイッチング用 TFT

のゲート線及び補償用 TFT のゲート線と画素電極との重疊部分で分割して設けるために、ゲート線に沿った寄生結合を半減させることができる。従って、従来の液晶表示装置に比べて、ゲート線の時定数を大幅に低減し、ゲート線に印加される駆動信号のなまりを抑制できることがから、ゲート線方向に沿った輝度傾斜を低減させることができる。従って、極めて良好な画像品位を有する液晶表示装置を、従来の工程を大幅に変更することなく製造することができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の一実施例を示す等価回路図である。

【図2】図1に示す液晶表示装置の平面図である。

【図3】図2の線A-A'に沿った断面図である。

【図4】図2の線B-B'に沿った断面図である。

【図5】本発明の液晶表示装置の駆動回路の一例を示す回路図である。

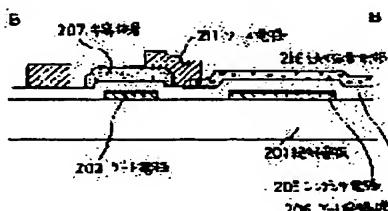
【図6】従来の液晶表示装置の一例を示す等価回路図である。

【図7】従来の液晶表示装置の別の例を示す等価回路図である。

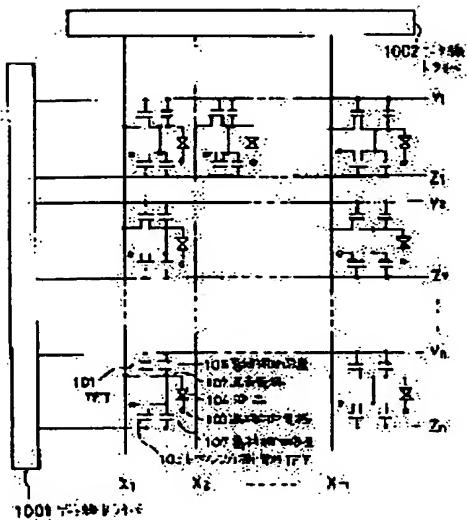
【符号の説明】

- 1.0.1… TFT
- 1.0.2… 画素電極
- 1.0.3… 透明封向電極
- 1.0.4… 液晶
- 1.0.5… レベルシフト補償用 TFT
- 1.0.6… 1.0.7… 寄生補助容量
- 2.0.2, 2.0.3… ゲート電極
- 2.0.4, 2.0.5… コンデンサ電極
- 2.0.7… 半導体層
- 2.0.8… ドレイン電極
- 2.0.9, 2.1.1… ソース電極
- 2.1.0… データ線
- 2.1.4… ゲート線 YJ
- 2.1.5… ゲート線 ZJ

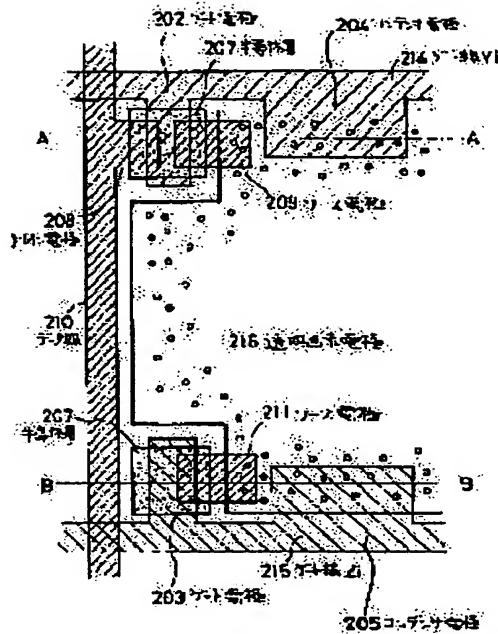
【図4】



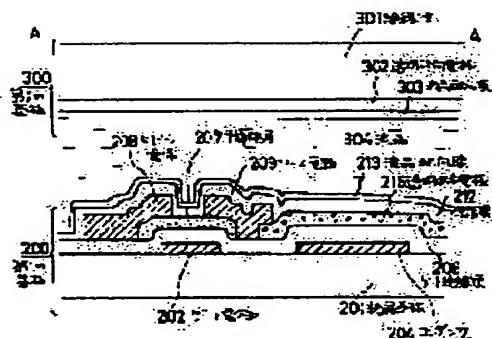
[図 1]



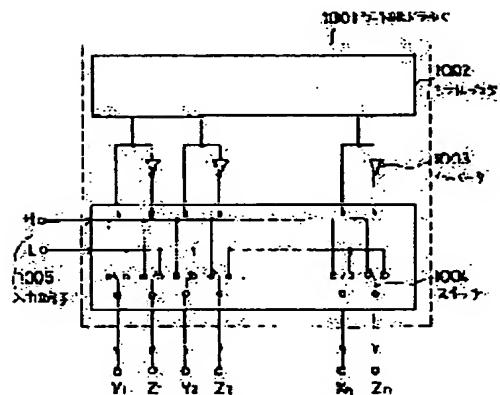
[図 2]



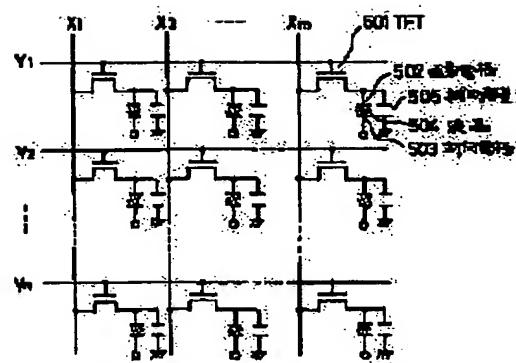
[図 3]



[図 5]



〔図6〕



〔図7〕

